

12/12/01
DURING 12/12/01

JCS971 U.S. PRO
09/982023
10/19/01

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

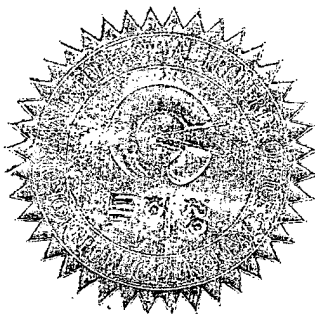
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 62025 호
Application Number

출원년월일 : 2000년 10월 20일
Date of Application

출원인 : 주식회사 하이닉스반도체
Applicant(s)



2001 06 13
년 월 일

특 허 청

COMMISSIONER



BEST AVAILABLE COPY

【서지사항】

【서류명】 출원인정보변경 (경정)신고서
【수신처】 특허청장
【제출일자】 20010417

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 119980045698

【대리인】

【성명】 특허법인 신성 정지원

【대리인코드】 9200000002923

【변경사항】

【경정항목】 한글 성명(명칭)

【경정전】 현대전자산업주식회사

【경정후】 주식회사 하이닉스반도체

【변경사항】

【경정항목】 영문 성명(명칭)

【경정전】 HYUNDAI ELECTRONICS IND. CO.,LTD

【경정후】 Hynix Semiconductor Inc.

【변경사항】

【경정항목】 인감

【경정전】

【경정후】

【취지】

특허법시행규칙 제9조·실용신안법시행규칙 제12조·의장법
시행규칙 제28조 및 상표법시행규칙 제23조의 규정에 의하
여 위와 같이 신고합니다.

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2000. 10. 20
【발명의 명칭】	반도체 소자의 캐패시터 제조 방법
【발명의 영문명칭】	Method of manufacturing a capacitor in a semiconductor device
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【대리인】	
【성명】	최승민
【대리인코드】	9-1998-000560-9
【포괄위임등록번호】	1999-003325-7
【발명자】	
【성명의 국문표기】	송창록
【성명의 영문표기】	SONG, Chang Rock
【주민등록번호】	690120-1329111
【우편번호】	467-854
【주소】	경기도 이천시 대월면 사동리 347-136 해원주택 B동 301호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인) 대리인 최승민 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	13	항	525,000	원
【합계】	556,000		원	
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명에 따른 반도체 소자의 캐패시터 제조 방법은 실리콘 기판 전면에서 기판과 캐패시터와의 절연을 위해 산화물을 증착하고, 산화물과 식각선택비가 높은 질화물을 형성하는 제 1 단계; 상기 기판과 캐패시터 사이의 수직배선을 위한 콘택홀을 형성하는 제 2 단계; 상기 콘택홀을 메우면서 기판 전면에서 다결정 도프 Si를 증착하는 제 3 단계; 상기 콘택홀을 제외하고 기판 전면의 다결정 도프 Si를 제거하면서 상기 콘택홀내의 다결정 도프 Si의 일부를 제거하는 제 4 단계; 상기 기판 전면에서 Ti 또는 Co를 증착하고 열처리하여 상기 콘택홀 내의 다결정 도프 Si 윗면에 티타늄 실리사이드 또는 코발트 실리사이드를 형성하고 나머지 Ti 또는 Co를 제거하는 제 5 단계; 상기 콘택홀을 메우면서 상기 기판 전면에서 확산방지막(TiN 또는 TiAlN)을 증착하는 제 6 단계; 상기 기판 윗면의 TiN 또는 TiAlN을 완전히 제거하면서 평탄화하는 제 7 단계; 상기 기판 전면에서 실리케이트 글라스를 전면 증착하는 제 8 단계; 상기 콘택홀 바로 위의 실리케이트 글라스에 캐패시터를 형성하기 위한 홀을 형성하는 제 9 단계; 상기 기판 전면에서 Ru 전극을 증착하는 제 10 단계; 상기 실리케이트 글라스 상부의 Ru 전극을 제거하는 제 11 단계; 상기 Ru 전극을 NH₃-플라즈마 처리하는 제 12 단계; 연이어서 N₂O-플라즈마 처리하는 제 13 단계; 상기 기판 전면에서 BST 유전체 박막을 증착하는 제 14 단계; 상기 BST 유전체 박막을 결정화 하기 위하여 급속열공정으로 열처리 하는 제 15 단계; 상기 기판 전면에서 상부전극을 증착하는 제 16 단계; 상기 캐패시터 전체구조를 안정화시키기 위하여 열처리하는 제 17 단계를 포함하여 이루어 진다.

【대표도】

도 14

【색인어】

캐패시터, Ru 전극

【명세서】**【발명의 명칭】**

반도체 소자의 캐패시터 제조 방법{Method of manufacturing a capacitor in a semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 14는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 도면.

* 도면의 주요 부분에 대한 부호의 설명

- 1: 실리콘 기판 6: 확산 방지막
- 2: 절연층 산화물 7: 실리콘게이트 글라스
- 3: 질화물 8: Ru 하부전극
- 4: 다결정 도프 Si 9: BST 유전막
- 5: 오믹 접촉층 10: Ru 상부전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 1Gbit 이상의 집적도를 갖는 DRAM 소자의 캐패시터 제조 공정에서 Ru/BST/Ru 캐패시터의 불량을 방지

하기 위하여 하부전극(Ru)을 화학기상증착법으로 증착한 후 소정의 열공정을 통해 하부전극(Ru)의 표면을 안정화하는 방법에 관한 것이다.

<9> 현재 DRAM에 적용되는 유전체 박막은 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 적층구조에서 Ta_2O_5 또는 BST로 바뀌고 있는 추세이다. 차후 1Gbit 이상에서 적용되는 디자인 룰에서는 BST가 가장 유력한 유전체 박막으로 알려져 있다. 이러한 유전체 박막은 미세 디자인 룰을 갖는 실체 소자에 적용될 경우에 패터닝이 되어 있는 기판위에 화학기상증착법으로 형성하고 있다. 현재 BST를 유전체 박막으로 사용하는 경우에 오목(concave)형 Ru/BST/Ru 캐패시터와 스택(stack)형 Pt/BST/Pt 캐패시터가 가장 유력한 후보로 예측되고 있다. 전극재료로 사용되는 Pt의 경우는 BST와의 매우 안정한 계면 특성 때문에 그 형성방법이나 후처리에 상관없이 매우 안정된 캐패시터 특성을 보여주고 있다. 반면 Ru의 경우는 쉽게 산화되는 특성과 촉매 특성이 Pt에 비해 낮은 관계로 BST를 증착할 때 BST의 품질을 저하시키기 때문에 아직까지 안정된 캐패시터 특성을 보여주고 있지 않다. 요약하면 Pt는 그 촉매 특성 때문에 표면에 매우 활성화된 산소원자를 다량 함유하고 있어 화학기상증착법으로 BST를 증착할 때 매우 우수한 BST막질을 가능하게 하지만, Ru은 촉매 특성이 없어 활성화된 산소원자 대신에 RuO_2 산화상을 형성하는 경향이 있어서 오히려 BST 막질을 저하시키는 것이다.

<10> 더구나 Ru의 경우에는 RuO_2 의 생성을 억제하면서 화학기상증착법으로 증착하기 위해서는 매우 낮은 온도($250\sim 270^\circ\text{C}$)에서 공정을 진행하는데, 이로 인해 그 내

부에 많은 탄소와 산소를 함유하고 있어 후속 공정 중에 BST박막이나 하부 확산방지막에 영향을 미치게 된다. 평판 차원에서조차도 Ru위에 화학기상증착법으로 증착한 BST의 특성을 제대로 얻은 연구결과가 매우 드물며, 이로 인해 오목(concave)형 Ru/BST/Ru 캐패시터의 개발이 지연되고 있는 실정이다. 현재까지 대부분의 연구는 Ru막을 치밀화하기 위하여 질소나 아르곤 분위기에서 급속열공정(RTP)을 진행하는 정도가 전부이며, BST/Ru의 계면특성을 개선하기 위하여 Ru 표면 특성을 바꾸기 위한 공정은 제시되지 못한 실정이다.

【발명이 이루고자 하는 기술적 과제】

- <11> 따라서 본 발명은 Ru/BST/Ru 캐패시터의 불량을 방지하기 위하여 하부전극(Ru)을 화학기상증착법으로 증착한 후 소정의 열공정을 통해 하부 전극(Ru)의 표면을 안정화시킴으로써 상술한 단점을 해소할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공하는 데 그 목적이 있다.
- <12> 본 발명에 의하면 유전율뿐만 아니라 낮은 누설전류를 특징으로 하는 BST/Ru 계면을 확보하여 캐패시터의 신뢰성을 높일수 있다.

【발명의 구성 및 작용】

- <13> 상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 캐패시터 제조 방법은 실리콘 기판 전면에서 기판과 캐패시터와의 절연을 위해 산화물을 증착하고, 산화물과 식각 선택비가 높은 질화물을 형성하는 제 1 단계;

- <14> 상기 기판과 캐패시터 사이의 수직배선을 위한 콘택홀을 형성하는 제 2 단계;
- <15> 상기 콘택홀을 메우면서 기판 전면의 다결정 도프 Si를 증착하는 제 3 단계; 상기 콘택홀을 제외하고 기판 전면의 다결정 도프 Si를 제거하면서 상기 콘택홀내의 다결정 도프 Si의 일부를 제거하는 제 4 단계;
- <16> 상기 기판 전면에 Ti 또는 Co를 증착하고 열처리하여 상기 콘택홀 내의 다결정 도프 Si 윗면에 티타늄 실리사이드 또는 코발트 실리사이드를 형성하고 나머지 Ti 또는 Co를 제거하는 제 5 단계 ;
- <17> 상기 콘택홀을 메우면서 상기 기판 전면에 확산방지막(TiN 또는 TiAlN)을 증착하는 제 6 단계 ;
- <18> 상기 기판 윗면의 TiN 또는 TiAlN을 완전히 제거하면서 평탄화하는 제 7 단계 ;
- <19> 상기 기판 전면에 실리케이트 글라스를 전면 증착하는 제 8 단계 ;
- <20> 상기 콘택홀 바로 위의 실리케이트 글라스에 캐패시터를 형성하기 위한 홀을 형성하는 제 9 단계 ;
- <21> 상기 기판 전면에 Ru 전극을 증착하는 제 10 단계 ;
- <22> 상기 실리케이트 글라스 상부의 Ru 전극을 제거하는 제 11 단계 ;
- <23> 상기 Ru 전극을 NH_3 -플라즈마 처리하는 제 12 단계 ;
- <24> 연이어서 N_2O -플라즈마 처리하는 제 13 단계 ;
- <25> 상기 기판 전면에 BST 유전체 박막을 증착하는 제 14 단계 ;
- <26> 상기 BST 유전체 박막을 결정화하기 위하여 급속열공정으로 열처리 하는 제 15 단계 ;
- <27> 상기 기판 전면에 상부전극을 증착하는 제 16 단계 ;

- <28> 상기 캐패시터 전체구조를 안정화시키기 위하여 열처리하는 제 17 단계를 포함하여 이루어진다.
- <29> 상기 제 3 단계의 콘택홀을 메우기 위하여 다결정 도프 Si를 화학기상증착법으로 700~3000Å의 두께로 증착한다.
- <30> 상기 제 4 단계의 콘택홀내의 다결정 도프 Si는 상기 콘택홀 상부로부터 200~1500Å만큼 제거된다.
- <31> 상기 제 5 단계의 티타늄 실리사이드와 코발트 실리사이드는 100-500Å 두께로 형성된다.
- <32> 상기 제 6 단계의 확산 방지막으로는 TiN 또는 TiAlN을 사용하며 스퍼터링법 또는 화학기상증착법으로 700-3000Å 두께로 증착된다.
- <33> 상기 제 8 단계의 실리게이트 글라스는 USG 또는 PSG를 사용하여 2000-15000Å 두께로 형성된다.
- <34> 상기 제 10 단계의 하부 전극 Ru는 스퍼터링법이나 화학기상증착법으로 측벽을 기준으로 하여 100-500Å 두께로 증착된다.
- <35> 상기 제 12 단계의 NH₃-플라즈마 처리를 함에 있어서 파워는 100-500W, 압력은 0.5-2.0Torr, NH₃의 유량은 200-2000sccm, 온도는 350-700℃에서 각각 실시된다.
- <36> 제 13 단계에서의 N₂O-플라즈마 처리를 함에 있어서 파워는 100-500W, 압력은 0.5-2.0Torr, N₂O의 유량은 200-2000sccm, N₂의 유량은 200-2000sccm, 온도는 350-700℃에서 각각 실시된다.
- <37> 상기 제 14 단계의 BST 유전막은 화학기상증착법으로 150-500Å 두께로 증착된다.

- <38> 상기 제 15 BST의 유전박막을 결정화하기 위해 산소와 질소 또는 산소와 아르곤의 혼합기체를 사용하여 500-750℃ 온도 범위에서 10-180초 동안 열처리를 진행한다.
- <39> 상기 제 16단계의 상부 전극 Ru, Ir, 또는 Pt는 스퍼터링법 또는 화학기상증착법을 사용하여 측벽을 기준으로 150-500Å 두께로 증착된다.
- <40> 상기 제 17 단계의 캐패시터 전체 구조를 안정화시키기 위해 산소와 질소 또는 산소와 아르곤의 혼합기체를 사용하여 400-800℃의 온도에서 1-30분 동안 열처리한다.
- <41> 이하, 첨부된 도면을 참조하여 본 발명을 더욱 상세히 설명하기로 한다.
- <42> 종래의 문제점을 해결하기 위하여 Ru 박막의 후처리 공정에서 달성해야 하는 것은 1) 박막의 치밀화, 2) 표면 거칠기의 감소, 3) 활성화된 산소의 Ru 표면으로의 흡착이다. 이러한 목적으로 본 발명에서는 패터닝이 되어있는 웨이퍼위에 하부 전극 Ru을 형성한 후 치밀화뿐만 아니라 표면 거칠기를 감소시키기 위해 NH₃-플라즈마 처리를 하고, 다시 연이어서 활성화된 산소를 흡착시키기 위해 N₂O-플라즈마 처리를 하는 2 단계 플라즈마 처리법(Two-Step Plasma Treatment)을 도입하고자 한다.
- <43> 도 1 은 dc-스퍼터링법으로 증착한 Ru 박막을 질소분위기와 600℃의 온도에서 급속열공정을 진행한 경우와 600℃의 온도에서 NH₃-플라즈마 처리한 경우의 표면거칠기를 비교한 결과이다. 표면 거칠기를 나타내는 지표인 Rms(Root-Mean-Square) 값이 NH₃-플라즈마 처리한 경우가 급속열공정의 경우보다 훨씬 작다는 것을 알 수 있다. NH₃-플라즈마의 경우는 증착된 상태 그대로 비해서도 Rms값이 더 작아진다. 따라서 NH₃-플라즈마 처리는 Ru 박막을 치밀화시킬 뿐만 아니라 표면거칠기도 개선하는 것이다.
- <44> 도 2 는 350℃에서 N₂O-플라즈마 처리한 경우 Ru 표면의 표면 거칠기이고, 도 3 은 Ru

표면의 XRD 결과이며, 도 4 는 산소원자의 확산 곡선이다. N_2O -플라즈마 처리를 도입하면 도 2 에서 알 수 있듯이 표면거칠기는 약간 증가하지만, 도 3 에서 알 수 있듯이 BST를 화학기상증착법으로 증착하는데 방해가 되는 RuO_2 상이 생성되지 않으면서, 도 4 에서 알 수 있듯이 Ru의 표면에 많은 양의 산소를 흡착시킬 수 있다. 이 활성화된 산소원자가 화학기상증착법으로 BST를 증착할 때 Ru 표면에 처음으로 증착되는 BST의 박막의 품질을 향상시켜 우수한 BST/Ru 계면특성을 보이는 것이다.

<45> 도 5 와 같이 반도체 회로가 형성되어 있는 실리콘 기판(1) 전면에 절연물로 실리콘 산화물(2)을 형성하고, 산화물과 식각선택비가 우수한 질화물(3)을 300~1000Å의 두께로 형성한다. 다음으로 그 위에 캐패시터가 위치할 절연막 및 질화막 소정위에 하부의 기판(1)과 캐패시터 사이의 수직배선을 위하여 콘택홀을 형성한다. 다음으로 도 6 과 같이 콘택홀을 메우면서 기판 전면에 화학기상증착법으로 도프트 다결정 Si(4)를 증착한 후, 도 7 과 같이 에취백 공정을 적용하여 콘택홀 상부에 있는 Si를 일부 제거한다. 도 8 과 같이 콘택홀 내 Si위에 오믹접촉층(5)을 형성하고, 도 9 와 같이 그 위에 확산방지막(6)용 질화물을 형성한 후 도 10 과 같이 콘택홀내의 질화물만 제외하고 나머지 기판 위의 질화물을 화학적 기계연마법을 사용하여 모두 제거한다. 다음으로 도 11과 같이 전체 구조 상부에 실리콘게이트 글라스(7)를 형성하고 식각 공정을 거쳐 오목(concave) 홀을 형성한다. 이제 도 12 와 같이 기판 전면에 하부전극 Ru(8)을 스퍼터링법이나 화학기상증착법으로 증착한 후 도 13 과 같이 화학적 기계연마법이나 에취백 공정을 통해 홀 내벽을 제외한 기판 전면의 Ru를 제거한다. 이제 도 14 와 같이 NH_3 -플라즈마 + N_2O -플라즈마를 연속적으로 진행한 후 화학기상증착법으로 BST를 증착하고, 그 위에 상부전극(10)을 형

성하여 캐패시터를 완성한다.

【발명의 효과】

<46> 본 발명에 따른 2 단계 플라즈마 처리법은 BST를 화학기상증착법으로 증착할 때, NH_3 -플라즈마 처리 + N_2O -플라즈마 처리 + BST 증착을 순차적으로 진행함으로써 BST 박막의 품질도 향상시킬 뿐만 아니라 장비의 효율성도 높일 수 있다.

【특허청구범위】**【청구항 1】**

실리콘 기판 전면에 기판과 캐패시터와의 절연을 위해 산화물을 증착하고, 산화물과 식각선택비가 높은 질화물을 형성하는 제 1 단계 ;

상기 기판과 캐패시터 사이의 수직배선을 위한 콘택홀을 형성하는 제 2 단계;

상기 콘택홀을 메우면서 기판 전면에 다결정 도프 Si를 증착하는 제 3 단계;

상기 콘택홀을 제외하고 기판 전면의 다결정 도프 Si를 제거하면서 상기 콘택홀내의 다결정 도프 Si의 일부를 제거하는 제 4 단계;

상기 기판 전면에 Ti 또는 Co를 증착하고 열처리하여 상기 콘택홀 내의 다결정 도프드 Si 윗면에 티타늄 실리사이드 또는 코발트 실리사이드를 형성하고 나머지 Ti 또는 Co를 제거하는 제 5 단계 ;

상기 콘택홀을 메우면서 상기 기판 전면에 확산방지막(TiN 또는 TiAlN)을 증착하는 제 6 단계;

상기 기판 윗면의 TiN 또는 TiAlN을 완전히 제거하면서 평탄화하는 제 7 단계;

상기 기판 전면에 실리케이트 글라스를 전면 증착하는 제 8 단계;

상기 콘택홀 바로 위의 실리케이트 글라스에 캐패시터를 형성하기 위한 홀을 형성하는 제 9 단계 ;

상기 기판 전면에 Ru 전극을 증착하는 제 10 단계;

상기 실리케이트 글라스 상부의 Ru 전극을 제거하는 제 11 단계;

상기 Ru 전극을 NH_3 -플라즈마 처리하는 제 12 단계 ;

연이어서 N_2O -플라즈마 처리하는 제 13 단계 ;

상기 기판 전면에 BST 유전체 박막을 증착하는 제 14 단계;

상기 BST 유전체 박막을 결정화 하기 위하여 급속열공정으로 열처리 하는 제 15 단계 ;

상기 기판 전면에 상부전극을 증착하는 제 16 단계;

상기 캐패시터 전체구조를 안정화시키기 위하여 열처리하는 제 17 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 2】

제 1 항에 있어서

상기 제 3 단계의 콘택홀을 메우기 위하여 다결정 도프 Si를 화학기상증착법으로 700~3000 Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 3】

제 1 항에 있어서

상기 제 4 단계의 콘택홀내의 다결정 도프 Si는 상기 콘택홀 상부로부터 200~1500 Å만큼 제거되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 제 5 단계의 티타늄 실리사이드와 코발트 실리사이드는 100-500Å 두께로 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 제 6 단계의 확산 방지막으로는 TiN 또는 TiAlN을 사용하며 물리기상증착법 또는 화학기상증착법으로 700-3000Å 두께로 증착되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 제 8 단계의 실리게이트 글라스는 USG 또는 PSG를 사용하여 2000-15000Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 제 10 단계의 하부 전극 Ru는 스퍼터링 법이나 화학기상증착법으로 측벽을 기준으로 하여 100-500Å 두께로 증착되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 제 12 단계의 NH_3 -플라즈마 처리를 함에 있어서 파워는 100-500W, 압력은 0.5-2.0Torr, NH_3 의 유량은 200-2000sccm, 온도는 350-700℃에서 각각 실시되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 9】

제 1항에 있어서

제 13 단계에서 N_2O -플라즈마 처리를 함에 있어서 파워는 100-500W, 압력은 0.5-2.0Torr, N_2O 의 유량은 200-2000sccm, N_2 의 유량은 200-2000sccm, 온도는 350-700℃에서 각각 실시되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 10】

제 1 항에 있어서,

상기 제 14 단계의 BST 유전막을 화학기상증착법으로 150-500Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 11】

제 1 항에 있어서,

상기 제 15 단계에서 BST의 유전박막을 결정화하기 위해 산소와 질소 또는 산소와

아르곤의 혼합기체를 사용하여 500-750℃ 온도 범위에서 10-180초 동안 열처리를 진행하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 12】

제 1항에 있어서,

상기 제 16 단계의 상부 전극 Ru, Ir, 또는 Pt를 스퍼터링법 또는 화학기상증착법을 사용하여 측변을 기준으로 150-500Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

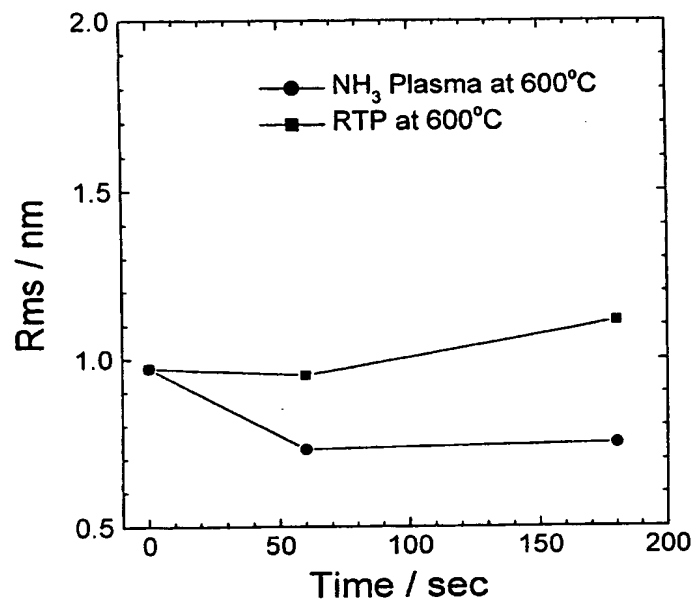
【청구항 13】

제 1 항에 있어서,

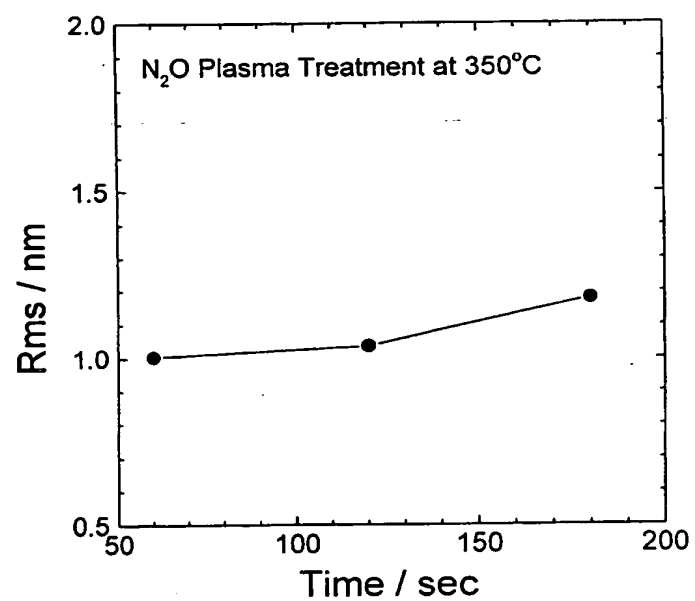
상기 제 17 단계의 캐패시터 전체 구조를 안정화 시키기 위해 산소와 질소 또는 산소와 아르곤의 혼합기체를 사용하여 400-800℃의 온도에서 1-30분 동안 열처리하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【도면】

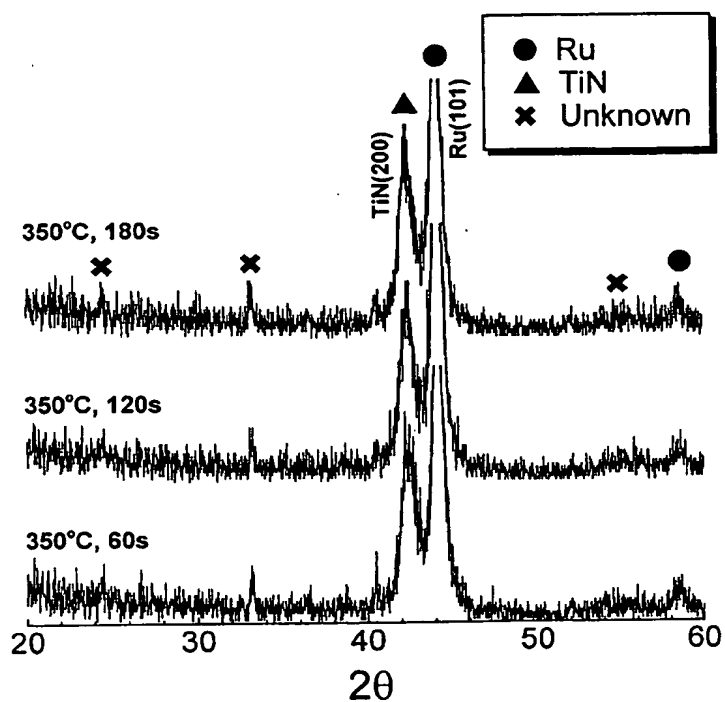
【도 1】



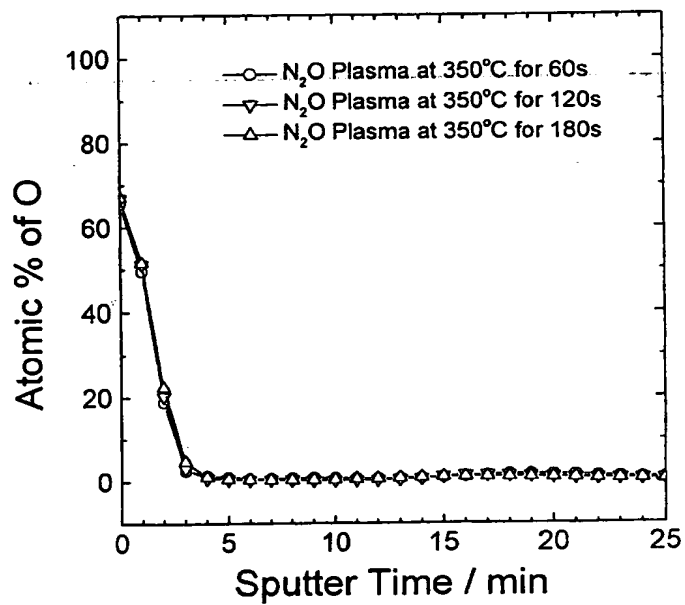
【도 2】



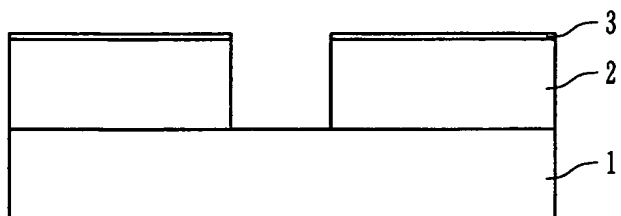
【図 3】



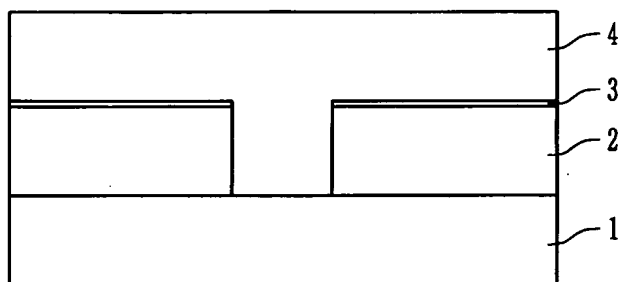
【図 4】



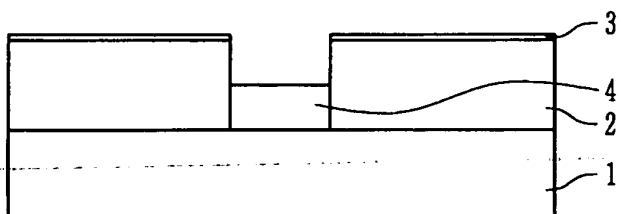
【도 5】



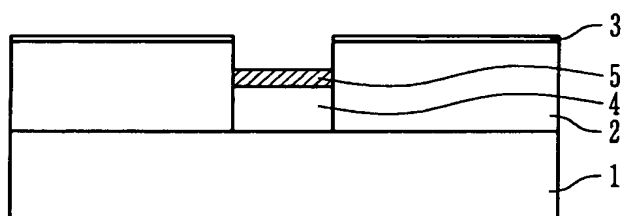
【도 6】



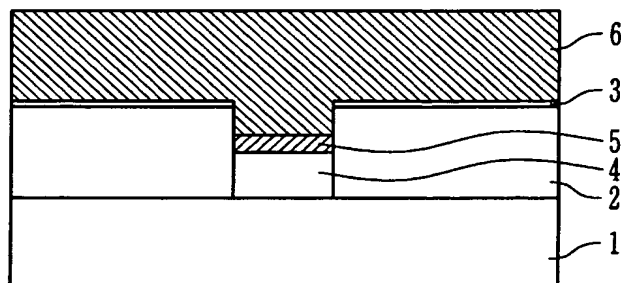
【도 7】



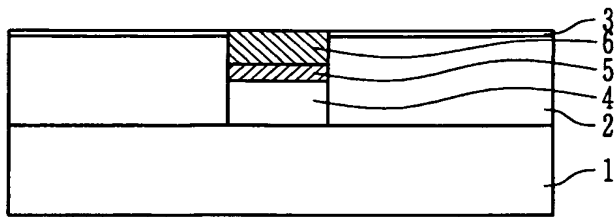
【도 8】



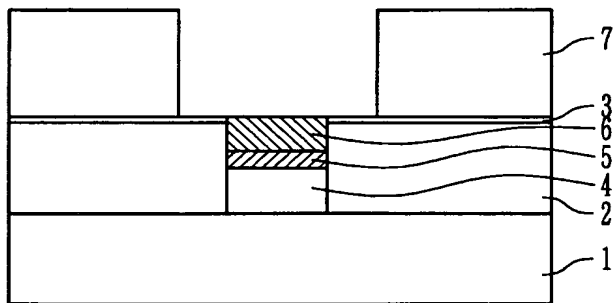
【도 9】



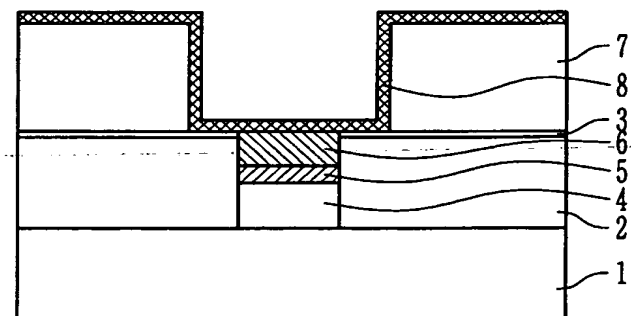
【도 10】



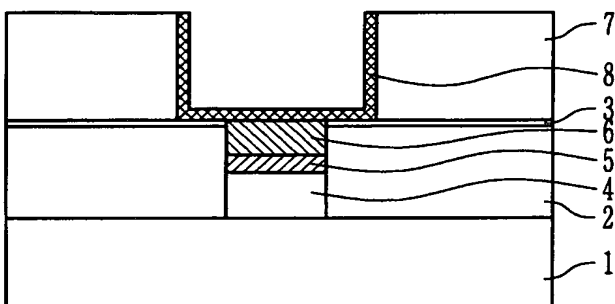
【도 11】



【도 12】



【도 13】



【도 14】

